HDL Spring 2025

HOMEWORK III

REPORT

Student ID: M16131111

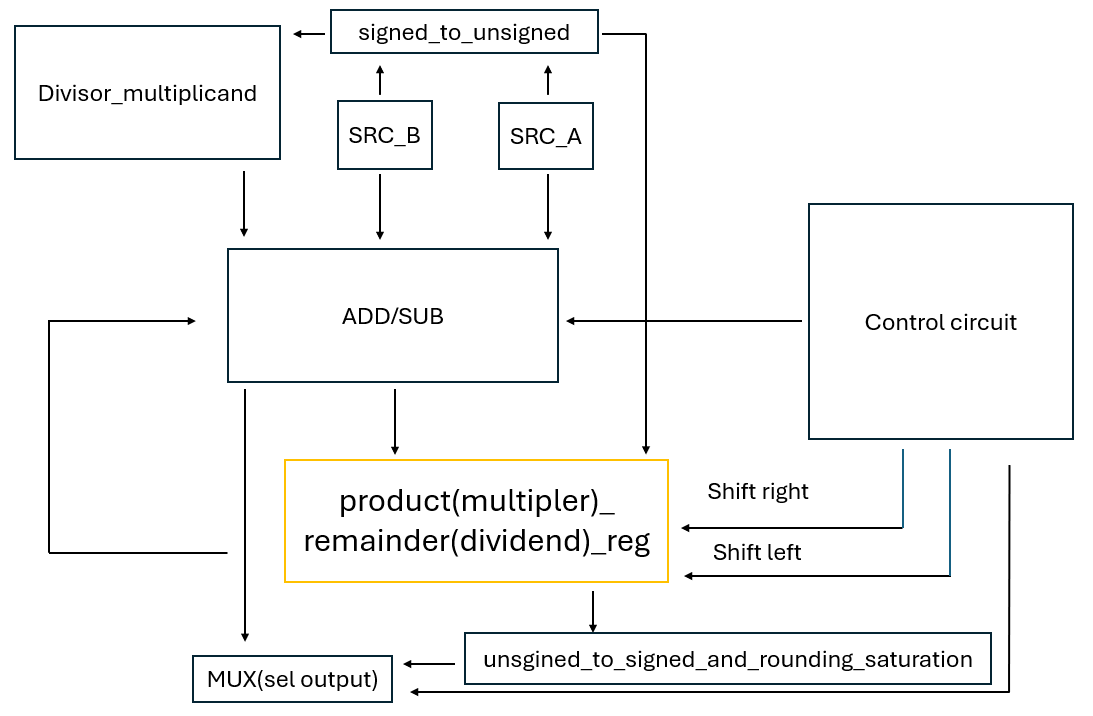
Student name: 童品綸

Outline

1. Summary
2. Multiplication Implementation
3. Division Implementation
4. Sort Implementation
5. Simulation Result
6. Lesson Leard
7. **Summary**

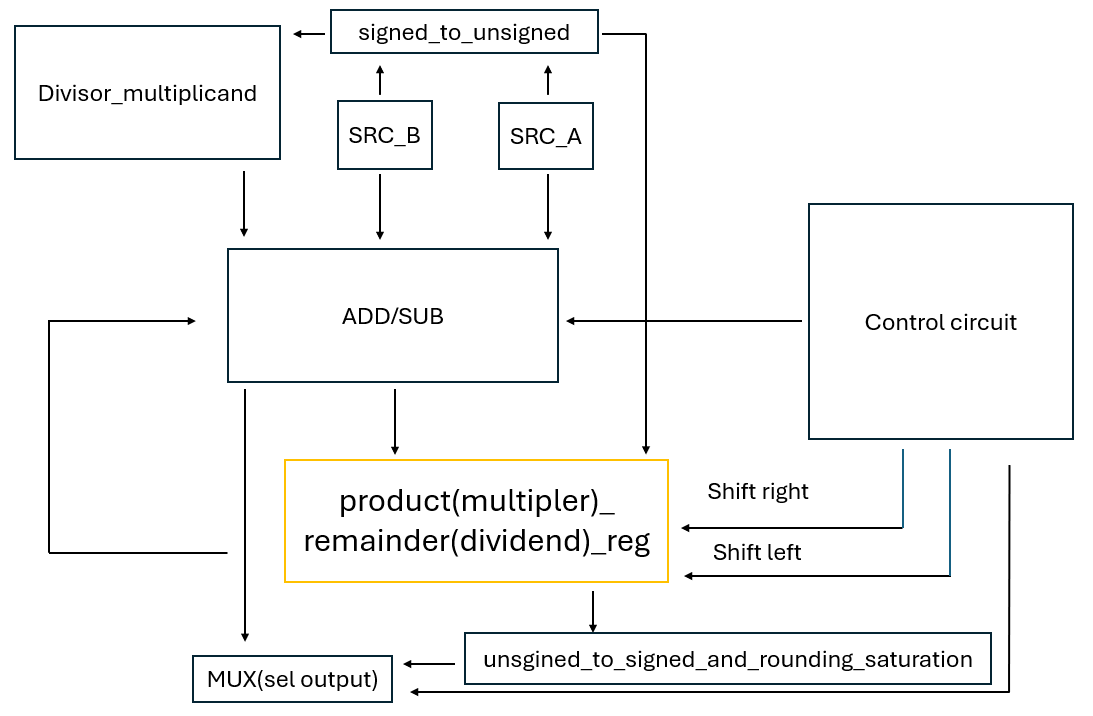
這次的作業主要是完成支援無號定點數排序跟有號定點數加減乘除，我的主要架構是加減乘除用一個模組，乘法我是先轉無號數，之後利用一個加法器(此加法與ALU加法會共用)，完成連加及shift，直到結束，來達到乘法效果，最後在根據輸入兩個數的符號判斷輸出是正的還負的，負的在去做二的補數，除法器則是用一個減法器，每次減減看，夠減商就會最右邊bit填1，之後會shift，直到做完，排序因為輸入一次就有9平行，因次我在排序時是利用unrolled 2-stage pipeline的架構，來讓整體運算延遲降低及吞吐量提高。

1. **Multiplication Implementation**

****

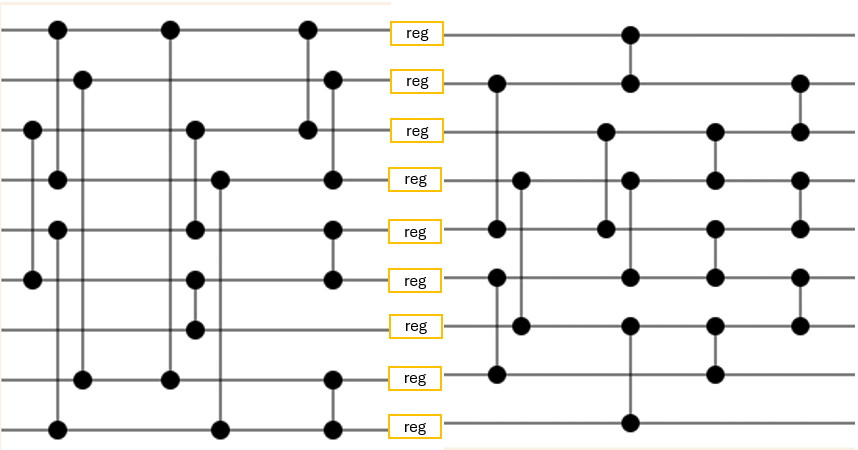
如我摘要所寫，我的乘除法基本上是共用暫存器，以及加/減運算資源，所以整個電路裡只用一個加減法器來實現以及32bit的product(multipler)\_remainder(dividend)暫存器，以及16bit的divisor\_multilpicand暫存器，還有一些控制電路就完成整個加減乘除法，然後會用先轉unsigned做完乘除法再轉回去signed是因為雖然乘法有booth演算法可以完成有號數乘法，但是除法的有號算法非常複雜，經過權衡，既然都要轉乘unsigned做除法，再轉回signed，那就把那個signed\_to\_unsigned以及unsgined\_to\_signed硬體跟乘法的做共用，最後就完成這個架構

1. **Division Implementation**

****

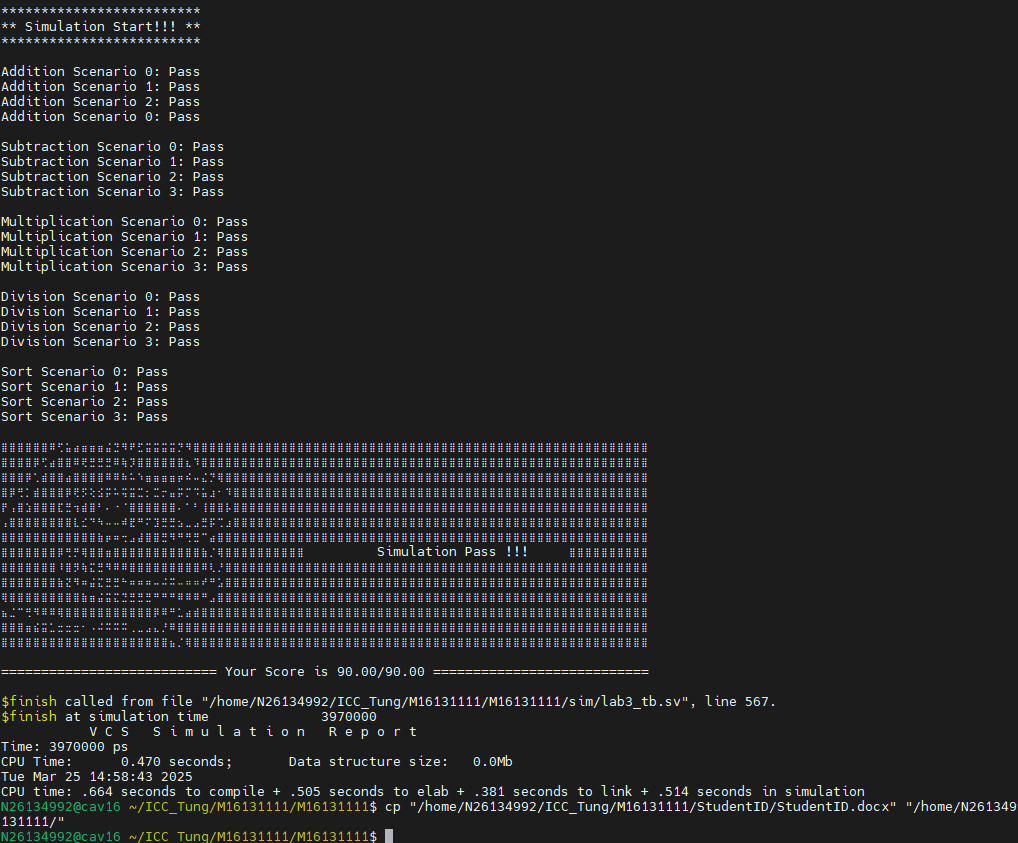
如我摘要所寫，我的乘除法基本上是共用暫存器，以及加/減運算資源，所以整個電路裡只用一個加減法器來實現以及32bit的product(multipler)\_remainder(dividend)暫存器，以及16bit的divisor\_multilpicand暫存器，還有一些控制電路就完成整個加減乘除法，然後會用先轉unsigned做完乘除法再轉回去signed是因為雖然乘法有booth演算法可以完成有號數乘法，但是除法的有號算法非常複雜，經過權衡，既然都要轉乘unsigned做除法，再轉回signed，那就把那個signed\_to\_unsigned以及unsgined\_to\_signed硬體跟乘法的做共用，最後就完成這個架構

1. **Sort Implementation**

****

如摘要所寫，因為輸入是9平行進來，所以做unrolled pipeline是非常有效率的做法，整個電路架構圖如上，兩個黑點是比大小及交換電路

1. **Simulation Result**

****

1. **Lesson Leard**

因為我是研究生了，以前大學有寫過有號整數的乘法，上學期也寫過浮點數加減法，所以取精度以及乘法算是蠻有經驗，這次主要是在定點數處理以及除法有學到更多東西